

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-039569

(43)Date of publication of application : 08.02.1990

(51)Int.Cl.

H01L 29/44
H01L 21/90

(21)Application number : 63-188253

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.07.1988

(72)Inventor : ASANO TAKASHI

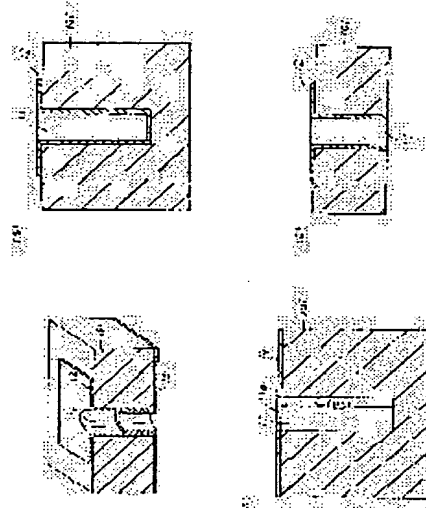
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To effectively connect a front face side electrode to a rear face side electrode by providing a semiconductor substrate having a through hole formed by passing between one face and the other face and a rear face side electrode connected in its sidewall to the front face side electrode.

CONSTITUTION: A semiconductor device is formed in a structure in which a front face side electrode 12 is electrically conducted to a rear face side electrode 12 at the side face of a through hole 11 formed in a GaAs substrate 101. A resist pattern 14 is formed on a through hole forming region 11a on the upper face of the substrate 101 before lapping, then reactive ion etched by using BCl₃ gas to form an opening 11 at the substrate 101. Then, after the pattern 14 is removed, a Ti layer, a Pt layer and an Au layer are subsequently laminated in this order by depositing to form a surface side electrode 12. Thereafter, the substrate 101 is lapped from its rear face side to form a through hole 11.

Further, after Au is deposited only on the rear face of the substrate and the side face of the hole 11 by rotarily obliquely depositing on the rear face side of the substrate 101, and a rear face side electrode 13 is formed by plating. Thus, satisfactory contact of the front face side electrode with the electrode 13 can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-39569

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月8日

H 01 L 29/44
21/90

B 7638-5F
B 6824-5F

審査請求 未請求 請求項の数 1 (全5頁)

⑬ 発明の名称 半導体装置

⑯ 特 願 昭63-188253

⑰ 出 願 昭63(1988)7月29日

⑱ 発 明 者 浅 野 隆 史 神奈川県川崎市幸区小向東芝町1 株式会社東芝小向工場
内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 大 胡 典 夫

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

一方の面と他方の面との間を貫通して設けられた貫通孔を有する半導体基板と、この半導体基板の一方の面の前記貫通孔の周縁及び前記貫通孔の側壁内に延長して設けられた表面側電極と、前記半導体基板の他方の面の前記貫通孔の周縁及び前記貫通孔の側壁内に延長して設けられ、かつ前記表面側電極と側壁内で接続した裏面側電極とを具備することを特徴とする半導体装置。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は半導体装置に係り、特に半導体基板に貫通孔を有し、ここでこの半導体基板の表面と裏面に形成された電極を接続させた半導体装置の構造に関する

(従来の技術)

従来、GaAs電力FETや、GaAsFETを能動素子とするモノリシック型マイクロ波集積回路(MMIC)における接地用電極のパッケージ等の接地面への接続方法として、ワイヤボンディングにより接地を行うものがある。この方法によると、ボンディングワイヤのインダクタンス成分が、RF特性を劣化させるという欠点がある。

そこで第4図に示すように、表面に接地用の表面側電極102を設けたGaAs基板101に対し、その表面側電極102に対向する部位にてこれに連する貫通孔103を設け、前記GaAs基板101の裏面にメタライズを施して前記貫通孔103内面を含む裏面側電極104を形成し、表面側電極102と電気的に導通させた構造も採用されている。この構造によれば、パッケージ等の接地面へマウントにより直接接地することにより、インダクタンス成分を極力低減できる。

第5図(a)、(b)は、この構造を実現する方法を示すための、工程断面図である。

まず、第5図(a)に示すように、GaAs基板101

の表面に、蒸着等により、表面側電極102を形成する。次に、第5図(b)に示すように、ラッピングによりGaAs基板101を裏面側から薄くした後、さらに選択的なドライエッチング又はウェットエッチングを施し、前記表面側電極102に達するように、基板に貫通孔103を設ける。そして、裏面から金属の蒸着及びメッキを施し、裏面側電極104を形成し、第4図に示す構造を完成する。

上記構造によると、第7図に示すように、パッケージ等のマウント基板105へハンダ106等によりマウントを行なった際に、貫通孔内部に雰囲気ガが封入されて気泡107となり、熱抵抗の増大や、気泡107の熱膨張による貫通孔上部の電極102の破損を招いたりすることがある。更には、ラッピング時に基板厚の基板面内ばらつきや、貫通孔を形成する際の面内でエッチングむら等がある場合、第8図に示すように、表面側電極102と裏面側電極104の間に、GaAsの層101aが薄く残っていて絶縁されているものが生じることがある。又、これを防ぐためにエッチング時間を十分長くすると、

102と接触を図るときに、両電極の間に大きな接触抵抗が生じることがある。

その原因としては、GaAsのエッチング残りが部分的に生じたり、基板のエッチング時に表面側電極102の接触面が変質して絶縁膜が形成される、などが考えられる。

(発明が解決しようとする課題)

以上述べたように従来の半導体装置では、半導体装置のマウント基板へのマウント基板時に貫通孔に気泡が封入したり、表面側電極と裏面側電極が基板のエッチング残りにより絶縁されてしまう欠点が生じた。

そこで、この発明は上記欠点に鑑みてなされたもので、マウント基板へのマウントが容易で、表面側電極と裏面側電極との接続が確実に達成できる半導体装置を提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

この発明にかかる半導体装置は、一方の面と他方の面との間を貫通して設けられた貫通孔を有す

オーバーエッチングにより貫通孔内部の形状が崩れたり、ストッパの投割をしている表面側電極102がかなり犯されてしまう、という不都合がある。

上記の気泡107を防ぐ方法として、第9図に示すように、貫通孔103を閉塞する表面側電極102に小さな穴108を開け、そこから気泡を逃がす方法があるが、この構造を実現するためには、第4図に示される構造を実現する工程に加えて、第6図(a)~(b)に示すように、①穴を開ける部分以外への保護膜109の形成(第6図(a))、②貫通孔をふさぐ電極102、104へのドライエッチング、又はウェットエッチングによる穴110開け(第6図(b))、③保護膜の除去、の3つの工程が増えることになる。

又この方法では、上記の表面側電極102と裏面側電極104の間に残るGaAs層101aによる絶縁の発生を防止することは出来ない。

更に、上記の両方の構造について、蒸着及びメッキにより裏面側電極104を形成し表面側電極

る半導体基板と、この半導体基板の一方の面の前記貫通孔の周縁及び前記貫通孔の側壁内に延長して設けられた表面側電極と、前記半導体基板の他方の面の前記貫通孔の周縁及び前記貫通孔の側壁内に延長して設けられ、かつ前記表面側電極と側壁内で接続した裏面側電極とを具備することを特徴とする。

(作用)

この発明の半導体装置は、表面電極と裏面電極との接続を半導体基板の貫通孔を施してインダクタンスを低減し、かつ前記接続が確実に得られるとともにマウント基板へのハンダ接続を容易にする。

(実施例)

以下、本発明にかかる半導体装置の一実施例につき第1図ないし第3図を参照して説明する。

第1図に一実施例の半導体装置の構造を断面斜視図で示す。この第1図に示すように、GaAs基板101に設けた貫通孔11の側面において表面側電極12と裏面側電極13が電気的に導通される構造にな

特開平2-39569(3)

っている。この構造によれば、第3図に示すように、マウント基板105へハンダ106によりマウントを行なった際に、貫通孔11の内部に気泡が封入されることがなくなる。

これにより、既に第7図および第8図によって説明した表面電極の破損や、両電極間の絶縁等の欠点が改良される。

第2図(a)~(c)にこの構造を実現する方法を工程順に断面図で示す。まず、第2図(a)に示すように、ラッピング前の一例の厚さ400 μ mのGaAs基板101上面の貫通孔形成予定域11aに、一例として50 μ m径の開口を有するポジ型フォトリソレジストのAZ-EP10(商品名・シブレイ社製)によるレジストパターン14を形成し、ついで、BCl₃系ガスをを用いたりアクティブ・イオン・エッチングを施してこの基板101に深さ150 μ mの開孔11を設ける。この場合に、開孔11の深さを150 μ mに設定したのは、最終的に基板厚を100 μ mにするので、エッチング残りを生じないようこれよりも十分深くエッチングを施するようにしている。

次に、第2図(b)に示すように、上記レジストパターン14を除去したのち蒸着によりTi層:1000 \AA 、Pt層:500 \AA 、Au層:8000 \AA をこの順に積層し表面側電極12を形成する。

次に、第2図(c)に示すように、GaAs基板101を裏面側からラッピングを施し、基板厚を100 μ mにすることにより貫通孔11が形成される。

さらに、上記GaAs基板101に裏面側に回転斜蒸着により、基板の裏面と貫通孔11の側面のみAuを8000 \AA 厚に蒸着したのち、一例のニュートロネクス(商品名・日本エレクトロプレイティング・エンジニアーズ社製)メッキ液を用いてAuを6 μ m厚にメッキを施して裏面側電極13を形成し、第1図に示す構造の素子が得られる。

上記構造により、貫通孔形成時における電極間絶縁、すなわちGaAsのエッチング残りによる、表面側電極12と裏面側電極13の間のGaAs層の介在や、オーバーエッチングによる表面側電極2の変質などが防止され、表面側電極12と裏面側電極13との良好な接触を確保することができる。

〔発明の効果〕

以上述べたように本発明によれば、表面側電極と裏面側電極が、基板のエッチング残りにより、絶縁されているということ無くし、マウント時における気泡の封入を排除し、配線板等への配設を容易にするなどの顕著な効果がある。

図面の簡単な説明

第1図は本発明にかかる一実施例の素子の断面斜視図、第2図(a)~(c)は本発明にかかる一実施例の素子の製造を工程順に示すいずれも断面図、第3図は本発明の素子を説明するための断面図、第4図は第1の従来例の素子の構造を示す断面図、第5図(a)~(b)は第1の従来例の素子の製造を工程順に示すいずれも断面図、第6図(a)~(b)は第2の従来例の素子の製造を工程順に示すいずれも断面図、第7図および第8図は従来例の欠点を説明するためのいずれも断面図、第9図は第2の従来例を説明するための断面図である。

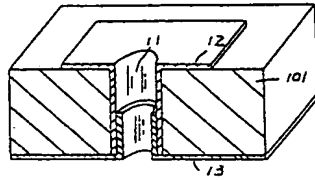
11…貫通孔 11a…貫通孔形成予定域
12…表面側電極 13…裏面側電極

101…GaAs基板

代理人 井理士 大 胡 典 夫

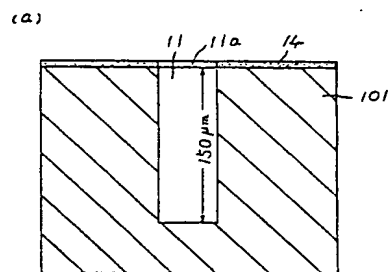
(4)

特開平2-39569 (4)



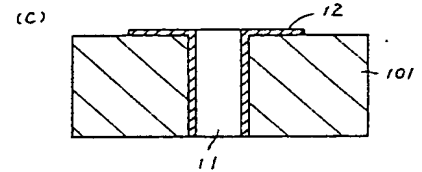
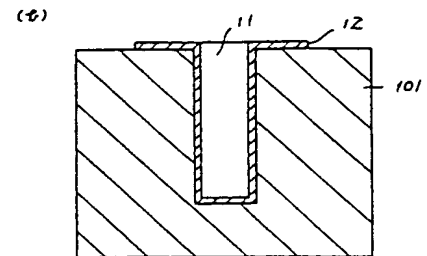
11: 貫通孔 12: 表面側電極
13: 裏面側電極

第 1 図

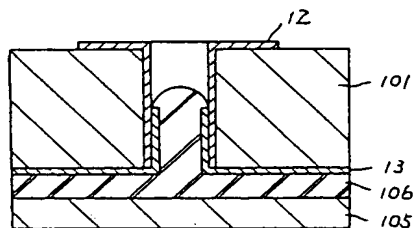


14: レジストパターン 11: 貫通孔
11a: 貫通孔形成予定域

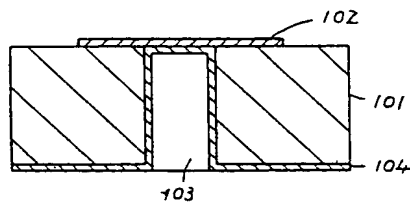
第 2 図 (a)



第 2 図 (a2)

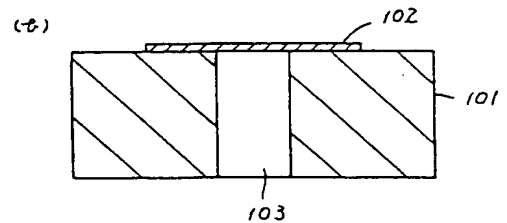
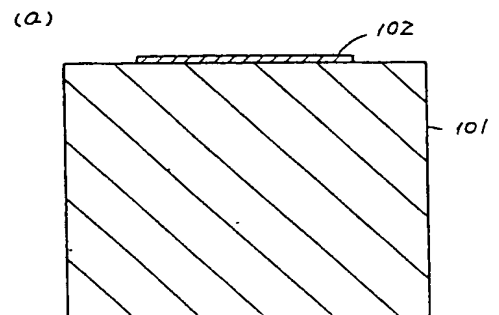


第 3 図



101: GaAs基板 102: 表面側電極
103: 貫通孔 104: 裏面側電極

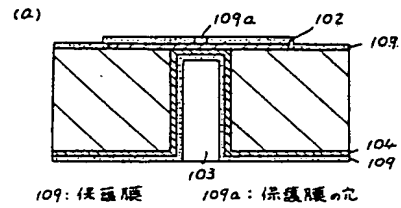
第 4 図



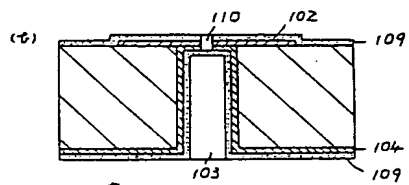
第 5 図

(5)

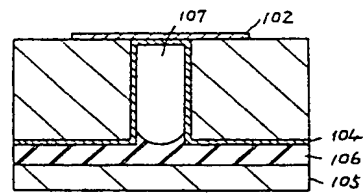
特開平2-39569(5)



109: 保護膜
109a: 保護膜の穴

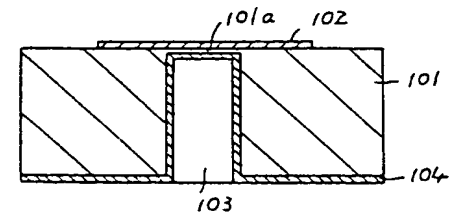


110: 穴
第 6 図



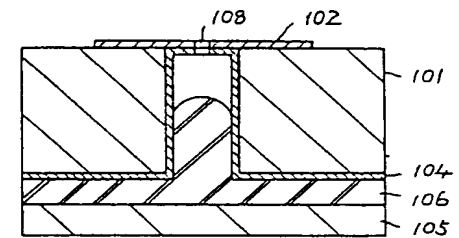
107: 気泡
105: マウント基板
106: ハンダ

第 7 図



101a: 残る GaAs 層

第 8 図



108: 穴

第 9 図